

CLIPPEDIMAGE= JP401175729A
PAT-NO: JP401175729A
DOCUMENT-IDENTIFIER: JP 01175729 A
TITLE: MANUFACTURE OF SEMICONDUCTOR DEVICE

PUBN-DATE: July 12, 1989

INVENTOR-INFORMATION:

NAME

MIYAZAKI, SHINICHI

ASSIGNEE-INFORMATION:

NAME

NEC CORP

COUNTRY

N/A

APPL-NO: JP62336009

APPL-DATE: December 29, 1987

INT-CL (IPC): H01L021/288; H01L021/28 ; H01L021/88
US-CL-CURRENT: 438/FOR.335, 438/FOR.455 , 438/FOR.458
, 438/570 , 438/951
, 438/978

ABSTRACT:

PURPOSE: To cope with a microstructure and maintain the excellent coverage of an interlayer insulating film in a multilayer interconnection structure by a method wherein a resist pattern with an inverse trapezoid cross section is formed on a metal layer and a plating layer is formed with the resist pattern as a mask.

CONSTITUTION: At least one metal layer 3 is formed on a semiconductor substrate 1 and a resist pattern 4 with an inverse trapezoid cross section is formed on the metal layer 3 and a plating layer 6 is formed by using the resist pattern 4 as a mask. For instance, after a Ti-Pt film 3 is built up on an insulating film 2 on the substrate 1, positive resist 4 is applied. Then a pattern 5 on a

mask is transferred onto the resist and, after baking in the atmosphere containing ammonia gas is performed, deep ultraviolet rays are applied over the whole surface. If the resist is developed with positive resist development solution, the cross section of the resist becomes inversely tapered; if Au plating is carried out, a gold pattern 6 which is the inversion of the resist pattern can be obtained. After the resist 4 is removed, the foundation Ti-Pt layer is etched to obtain a required electrode pattern 6'.

COPYRIGHT: (C)1989,JPO&Japio

⑤ Int. Cl.⁴H 01 L 21/288
21/28
21/88

識別記号

庁内整理番号

E-7638-5F
D-7638-5F
B-6708-5F

④ 公開 平成1年(1989)7月12日

審査請求 未請求 発明の数 1 (全4頁)

④ 発明の名称 半導体装置の製造方法

⑪ 特 願 昭62-336009

⑫ 出 願 昭62(1987)12月29日

⑦ 発 明 者 宮 崎 紳 一 東京都港区芝5丁目33番1号 日本電気株式会社内
 ⑧ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号
 ⑨ 代 理 人 弁理士 内 原 晋

明 細 書

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

半導体基板上に少なくとも一層の金属層を成膜する工程と、前記金属層上に断面が逆台形状のレジストパターンを形成する工程と、前記レジストパターンをマスクとしてメッキ層を形成することを特徴とする半導体装置の製造方法。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は半導体装置の製造方法に関し、特に電極を形成する方法に関する。

〔従来の技術〕

近年、半導体装置の微細化、高集積化に伴ない、配線の微細化も急激に進展している。従って、配線の微細化により耐マイグレーション性をはじめ

とする信頼度の問題がクローズアップされてきている。この点に関し、従来のAl、又はAl系合金に対し、許容電流密度が大きく信頼度が高いAu電極構造が改めて注目されている。

Au電極構造の形式方法の一例を第3図に示す。まず、ウェハー基板31上の絶縁膜32に例えばTi-Pt膜33を成膜し、レジスト34を塗布する(第3図(a))。レジストを塗布、現像し、電極パターンを開孔する(第3図(b))。次にレジスト34をマスクとし、Ti-Pt層33を電導パスとして、Auメッキ層35を形成する(第3図(c))。しかる後、レジスト34を除去し、イオンミリング法等によりTi-Pt層33をエッチングして電極が完成する(第3図(d))。

〔発明が解決しようとする問題点〕

しかしながら、従来の方法によるAu電極形成法では次のような欠点がある。即ち、第3図(b)で示すように、所望の電極幅 W_1 、電極間隔 S_1 に対し、実際のAu電極のでき上りは、第3図(d)に示すように各々 W_2 、 S_2 となり、電極幅は広が

り、間隔は狭くなることになる。従って、金属のエッチングにおいて、Auメッキ層の厚みを h とすると、アスペクト比（深さと幅の比）の設計値 h/S_1 に対し実際では h/S_2 となり増大するため、一般にエッチングが困難となり、金属残りが生じやすく、電極間ショート不良を起こすことになる。このことは微細化が進み電極幅 W 、間隔 S が小さくなる一方、電流密度を維持するためAuメッキ厚を大きくする必要があるためアスペクト比 h/S が更に大きくなり、一層エッチングの困難さを増大させることになってしまう。

また、従来方法では、第4図のように二層配線に適用した場合、電極44が逆テーパ状のため、層間絶縁膜45のカバレッジ（段差被覆度）を悪化させ、二層目の金属46を積層した時、矢印で示すように薄くなり、ひいては配線の断線を生じてしまい、信頼度上大きな問題となる。

〔問題点を解決するための手段〕

本発明の半導体装置の製造方法は、半導体基板上に少なくとも一層の金属層を成膜する工程と、

前記金属上に断面が逆台形状のレジストパターンを形成する工程と、前記レジストパターンをマスクとしてメッキ層を形成することである。

〔実施例〕

本発明の一実施例を第1図を用いて説明する。ウェハー基板1上の絶縁膜2に例えば、Ti-Pt膜3をスパッタ等により成長した後、ポジレジスト4を塗布する。ポジレジストの厚さとしては、Auメッキ厚を考慮して、それより厚くするのが望ましいが、あまり厚くすると微細パターン形成が困難であるため、 $1 \sim 1.5 \mu$ がよい（第1図(a)）。次に紫外光によりマスク（又はレチクル）上のパターン5をレジストに転写する（第1図(b)）。この後、例えば、アンモニアガスを含む雰囲気の下でベークした後、遠紫外光で全面照射する（第1図(c)）。通常のポジレジスト用現像液にて現像を行うとレジストの断面は逆テーパ形状となり、Auメッキを行うとレジストパターンの反転の金パターン6が得られる（第1図(d)）。レジスト4を除去後、イオンミリング法等にて下地の

Ti-Pt層をエッチングすると所望の電極パターン6'が得られる（第1図(e)）。

この方法により形成した電極7上に層間絶縁膜8を成長すると、従来のと異なる正方向のテーパがついている為、オーバーハングを生じることはない。従って、第2層目の金属を積層しても、クラック等が生ぜず、安定で信頼度の高い多層配線が実現できる（第1図(f)）。

本実施例では紫外光に対し高感度のポジ型レジストを使用した場合を示したが、無論これに限ることなく遠紫外光～X線に至るまで同様に高感度を有するポジ型レジストを用いることで充分対応することができる。

次に、他の実施例を第2図を用いて説明する。ウェハー基板11上の絶縁膜12に例えばTi-Pt膜13を積層し、吸収の大きいネガレジスト14を塗布する。ここでレジスト14はやはり $1 \sim 1.5 \mu$ 厚がよい（第2図(a)）。この後、紫外光を照射しマスクパターン15を転写する（第2図(b)）。更に、ネガレジスト用現像液にて現像

し、マスクパターン15を形成した後、Auメッキを行いAuメッキパターン16を形成する（第2図(c)）。しかる後、レジスト14を除去し、イオンシリング法等でTi-Pt層13をエッチングすると、所望の電極パターン16'が実現できる（第2図(d)）。

本実施例でも、前述の実施例と同様、テーパのついた電極パターンができるから多層配線でも同様の効果が期待できる。

〔発明の効果〕

以上述べたように、本発明はポジ型レジストへの反転現象処理（イメージリバーサルプロセス）又は吸収の大きいネガ型レジストを使用することにより、テーパを有するAuメッキ層が形成できるから

(1) 設計寸法の電極幅 W_1 、間隔 S_1 に対し、出来上り寸法を各々 W_2 、 S_2 とすると従来では $S_2 < S_1$ であるのに対し本発明では $S_2 > S_1$ となるからAuメッキ層 h に対するアスペクト比 h/S_2 は緩和されドライエッチでのメタル

残り等の不良を解消でき、微細化に容易に対応できる。

…第二層目の配線金属。

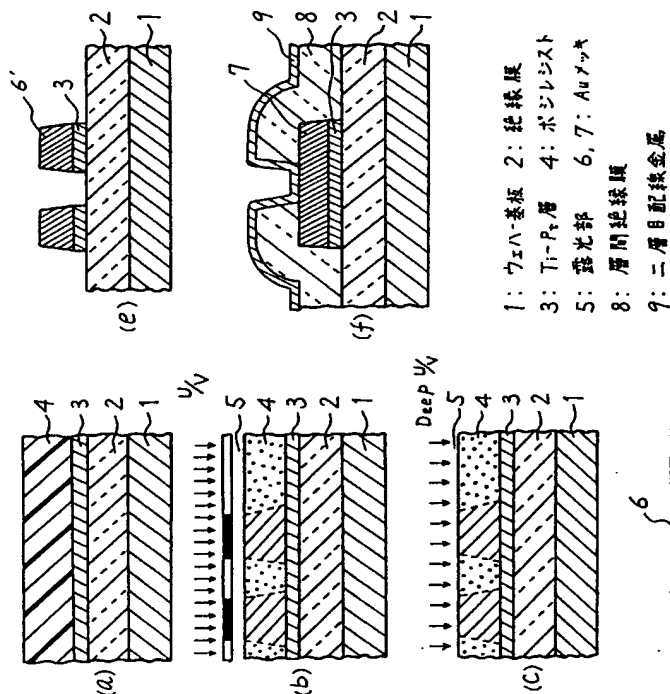
代理人 弁理士 内 原 晋

(II) また、断面形状がテーパ状であるため多層配線 造においても層間絶縁膜のカバレッジを良好に保てる為、上層の配線金属も良好な形状となつて配線の断線等のない信頼度の配線 造が実現できる。

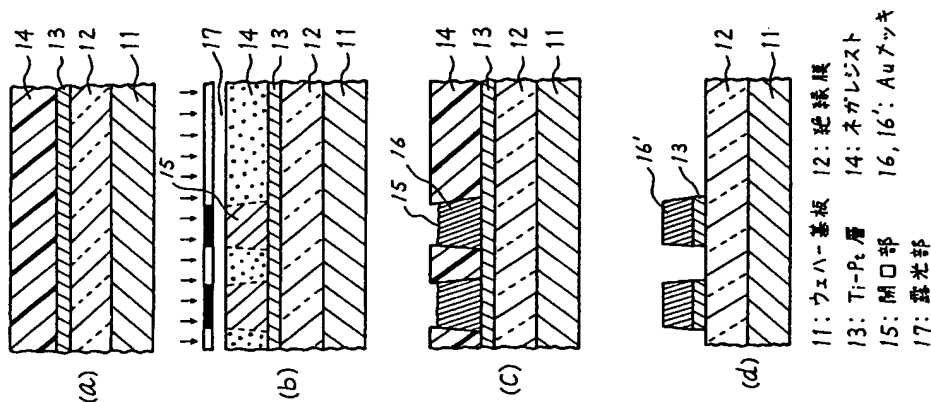
4. 図面の簡単な説明

第1図は本発明の一実施例を示す断面図、第2図は他の実施例を示す断面図、第3図は従来の製造方法の断面図、第4図は第3図の工程を用いた二層配線を示す断面図である。

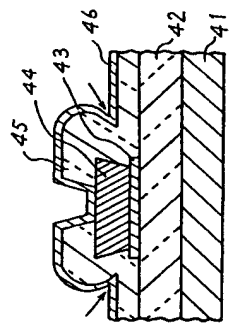
1, 11, 31, 41……ウェハ基板、2, 12, 32, 42……絶縁層、3, 13, 33, 43……下地金属である例えばTi-Pt層、4, 34……ポジレジスト、14……ネガレジスト、15……開口部、5, 17……露光部、6, 6', 7, 16, 16', 35, 44……Auメッキ層、8, 45……層間絶縁膜、9, 46…



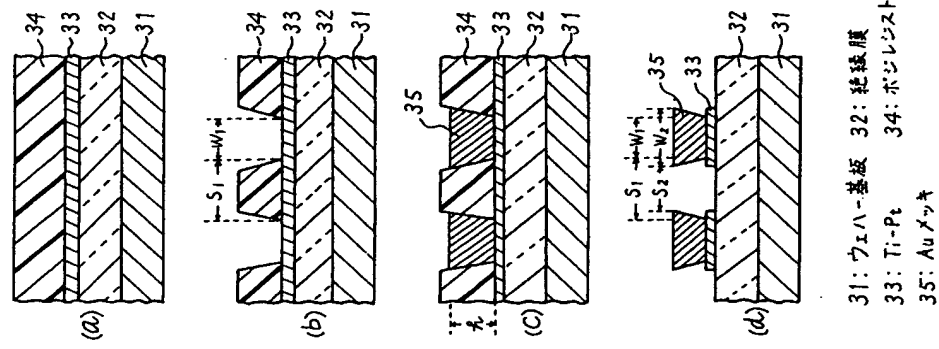
第1図



第2図



第4図



第3図